

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-143487
(P2001-143487A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
G 1 1 C 16/06		H 0 1 L 27/10	4 7 1 5 B 0 2 5
H 0 1 L 27/115			4 8 1 5 F 0 8 3
	27/10	G 1 1 C 17/00	6 3 4 E
	4 7 1	H 0 1 L 27/10	4 3 4
	4 8 1		

審査請求 有 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平11-324727

(22)出願日 平成11年11月15日(1999. 11. 15)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡辺 一央

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100084250

弁理士 丸山 隆夫

Fターム(参考) 5B025 AA03 AC00 AD00 AD05 AD07
AED5

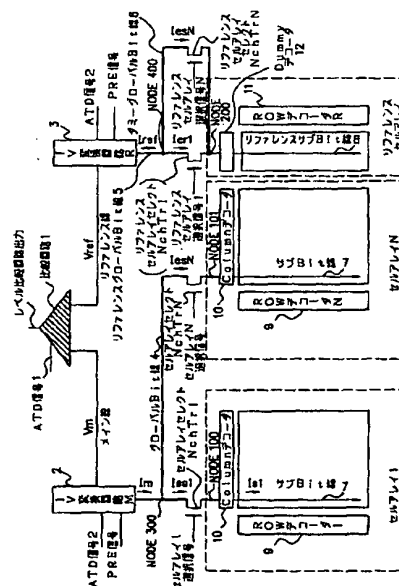
5F083 ER22 GA01 LA04 LA05 LA09
LA10 LA12 ZA28

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 複数のセルアレイと1つのリファレンスセルアレイとを有する半導体記憶装置において、I V変換回路2、3から見えるメインセル側の入ラインピーダンスとリファレンスセル側の入ラインピーダンスを同一にして読み出しスピードの高速化を図る機能を有する半導体記憶装置を提供する。

【解決手段】 I V変換回路M2と各セルアレイとを接続するグローバルビット線4のインピーダンスと、1 V変換回路R3とリファレンスセルアレイとを接続するダミーグローバルビット線6とのインピーダンスとを同一にするために、メイン側で形成された経路と配線長及び配線幅において、同一となる配線経路をリファレンス側で形成することができる構成を備えることにより実行する。



【特許請求の範囲】

【請求項 1】 複数のセルアレイと 1 つのリファレンスセルアレイとを具備する半導体記憶装置であって、前記セルアレイから入力されるセル電流をメインセル電圧に変換する第 1 の電流／電圧変換手段と、前記リファレンスセルアレイから入力されるリファレンスセル電流をリファレンスセル電圧に変換する第 2 の電流／電圧変換手段と、前記第 1 の電流／電圧変換手段と前記複数のセルアレイとを接続するグローバルビット線と、前記第 2 の電流／電圧変換手段と前記リファレンスセルアレイとを接続するダミーグローバルビット線とを有し、前記グローバルビット線のインピーダンスと前記ダミーグローバルビット線のインピーダンスとが等しいことを特徴とする半導体記憶装置。

【請求項 2】 前記ダミーグローバルビット線は、前記第 2 の電流／電圧変換手段と前記リファレンスセルアレイとを複数の経路で接続していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記複数の経路の数は、前記セルアレイの数と等しいことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記グローバルビット線の配線抵抗及び配線容量と前記ダミーグローバルビット線の配線抵抗及び配線容量は等しいことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】 前記グローバルビット線の配線長及び配線幅と前記ダミーグローバルビット線の配線長及び配線幅は等しいことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】 前記グローバルビット線上に配置され、前記複数のセルアレイの中から任意に 1 つのセルアレイを選択し、該選択したセルアレイと前記第 1 の電流／電圧変換手段との間の経路を形成する第 1 のスイッチ手段と、前記ダミーグローバルビット線上に配置され、前記リファレンスセルアレイと前記第 2 の電流／電圧変換手段との間を接続する複数の経路から 1 つを選択する第 2 のスイッチ手段と、をさらに有することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体記憶装置。

【請求項 7】 前記第 1 のスイッチ手段は、前記セルアレイの個数分と同等であり、各セルアレイに対応した位置に配置されることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記第 2 のスイッチ手段は、前記第 1 のスイッチ手段と同等であり、前記リファレンスセルアレイと前記第 2 の電流／電圧変換手段との間の各経路に配置され、

前記第 1 のスイッチ手段による前記セルアレイの選択により選択されたセルアレイと前記第 1 の電流／電圧変換手段との間に経路が形成されたとき、該経路のインピーダンスと等しいインピーダンスとなる前記リファレンスセルアレイと前記第 2 の電流／電圧変換手段との間の経路を選択することを特徴とする請求項 6 または 7 記載の半導体記憶装置。

【請求項 9】 前記第 1 の電流／電圧変換手段により変換されたメインセル電圧と前記第 2 の電流／電圧変換手段により変換されたリファレンスセル電圧とを比較し、論理値を出力する比較手段をさらに有することを特徴とする請求項 1 から 8 のいずれか 1 項に記載の半導体記憶装置。

【請求項 10】 前記グローバルビット線のインピーダンスと前記ダミーグローバルビット線のインピーダンスとの誤差は、所定の許容値内であることを特徴とする請求項 1 から 9 のいずれか 1 項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に関し、特にデータ読み出し回路によるデータ読み出しの高速化に関する。

【0002】

【従来の技術】 従来から、フラッシュメモリも、他の記憶媒体と同様に高速アクセスが要求されている。従来の回路構成では、リファレンス側の入力インピーダンスが常に一定であるため、メイン側の選択するセルアレイによって、リファレンス部の入力インピーダンスとメイン側の入力インピーダンスが異なる状態が生じていた。よって、高速アクセスを実現するのが非常に難しかった。

【0003】 (従来技術 1) 図 1 は、従来技術 1 における半導体記憶装置の構成を示した回路図である。I/V 変換回路 (電流／電圧変換回路) 2、3 から見えるインピーダンスは、図 4 に示すようにメイン側は選択するセクタにより変化するが、リファレンス側は選択するセクタにより変化しない。

【0004】 セルアレイ 1 内のセルデータの読み出しを行う場合には、セルアレイ 1 選択信号とリファレンスセルアレイ選択信号は High レベルになり、ノード 500 とノード 700、ノード 600 と I/V 変換回路 R3 は接続される。

【0005】 セルアレイ N 選択信号 (セルアレイ 1 以外のセルアレイに対応したセルアレイセレクト NchTr を制御するセルアレイ選択信号) は、Low レベルとなり、ノード 501 とグローバルビット線 4 はオープン状態となる。セルアレイ 1 の ROW デコーダ 9 は、任意のワード線を選択する。COLUMN デコーダ 10 は、任意のサブビット線 7 を選択する。任意のサブビット線は、COLUMN デコーダ 10 を介してノード 500 に接続される。ROW デコーダ R11 は、リファレンスセ

ルアレイ内のリファレンスセルゲートに接続されるワード線を選択する。リファレンスサブビット線8は、デミュータ12を介してノード600に接続される。

【0006】次に、従来技術1における半導体記憶装置の動作について説明する。図9(b)において、 $T=0$ の状態、ATD(Address Transaction Director)信号2がHighからLow、PRE信号がLowからHighへ変化することで、IV変換回路M2とIV変換回路R3がアクティブとなり、セルデータの読み出し動作が開始される。グローバルビット線4、セルアレイ1のサブビット線7、リファレンスグローバルビット線5及びリファレンスセルアレイのリファレンスサブビット線8は、IV変換回路M2とIV変換回路R3から流れる電流によりチャージアップされる。

【0007】図2におけるIV変換回路2、3を参照しながら説明を行うと、ATD信号2がHighからLowになることにより、NOR回路の出力はHighとなる。NOR回路の出力がHighとなると、グローバルビット線4、リファレンスグローバルビット線5は、NchTr(N型チャネルトランジスタ)1を介して電源に接続される。また、PRE信号がHighになると、NchTr3、4、5を介してグローバルビット線4(IV変換回路R3では、リファレンスグローバルビット線5)は、電源に接続される。

【0008】IV変換回路2、3内のPrecharge回路は、各ビット線のチャージアップを補うために装備されている。ノード700、リファレンスグローバルビット線5が電源に接続されることにより、ノード500、ノード700及びノード600の電位は上昇する。その電位がIV変換回路2、3内のNOR回路のスレッシュOLD電圧に達すると、IV変換回路2、3中のNchTr2、5はOFFする。この状態は、グローバルビット線4、サブビット線7、リファレンスグローバルビット線5及びリファレンスサブビット線8が、IV変換回路2、3から流れる電流により十分にチャージアップされた状態である。

【0009】従来の回路構成では、図4に示すようにIV変換回路2、3から見えるメイン側のグローバルビット線4のインピーダンスとリファレンス側のリファレンスグローバルビット線5のインピーダンスとが異なる。

【0010】従来技術1における図9(a)、(b)は、各経路の電流、電圧の波形を示したタイミングチャートである。グローバルビット線4に流れる電流 I_{gsN} とサブビット線7に流れる電流 I_{gs1} ($=I_{s1}$)は、 $T=0$ からグローバルビット線4の容量とサブビット線7の容量の充電を開始し、 $T=1$ のタイミングで充電を完了する。充電が完了すると、グローバルビット線4に流れる電流 I_{gsN} は、0[A]になる。サブビット線7に流れる電流 I_{gs1} は、セルアレイ内で選択されているセル電流である。IV変換回路M2に入力され

る電流 I_m は、下記の式で求められる。

【0011】電流 $I_m = I_{gsN} + I_{gs1}$

【0012】リファレンス部も同様にリファレンスグローバルビット線5に流れる電流 I_{grN} とリファレンスサブビット線8に流れる電流 I_{gr1} は、 $T=0$ からリファレンスグローバルビット線5の容量とリファレンスサブビット線8の容量の充電を開始し、 $T=1$ のタイミングで充電を完了する。充電が完了すると、リファレンスグローバルビット線5に流れる電流 I_{grN} は、0

【A】になる。リファレンスサブビット線8に流れる電流 I_{gr1} はセルアレイ内で選択されているセル電流である。IV変換回路R3に入力される電流 I_{ref} は、下記の式で求められる。

【0013】電流 $I_{ref} = I_{grN} + I_{gr1}$

【0014】各充電電流は、IV変換回路2、3から見えるインピーダンスによって変化する。メイン側とリファレンス側のインピーダンスは、図4に示すように異なるため、 I_m と I_{ref} の電流は異なる。 $T=1$ の状態、PRE信号はHighからLowへ変化し、IV変換回路2、3内のPrecharge回路は動作を停止する。

【0015】図2におけるIV変換回路2、3で説明を行うと、PRE信号がLowになることによりIV変換回路2、3内のNchTr4はOFFし、IV変換回路2、3内のPrecharge回路のグローバルビット線4(IV変換回路R3では、リファレンスグローバルビット線5)と電源はOPEN状態になる。

【0016】 $T=1$ の状態においては、ノード500、ノード700及びノード600は十分に充電されている。 $T=1 \sim T=2$ の間に、メインセル側は、選択されたセルのセル電流を I_m に伝える必要がある。グローバルビット線4に溜まった電荷が I_{gs1} へ流れ込むため、見かけ上 I_m の電流は0[A]になる。

【0017】リファレンス側においては、リファレンスセル電流 I_{ref} は、 $T=1$ のタイミングでIV変換回路R3に伝わる。これはリファレンスグローバルビット線5に寄生容量がついていないため、余分な電荷が溜まっていないからである。

【0018】よって、 $T=1 \sim T=2$ の段階において、IV変換回路R3には、期待された電流 I_{ref} が完全に伝わっているが、IV変換回路M2には、期待された電流 I_m が完全には伝わっていないため、IV変換回路M2、IV変換回路R3出力 V_m 、 V_{ref} は期待外の差電位を生じてしまう。この段階において V_m と V_{ref} の比較を行うと、比較回路1は、正確な情報を出力できない可能性があり、誤動作の原因となる。

【0019】 $T=2 \sim T=3$ の間に、実際にセルアレイ1で選択されたセルのセル電流が流れ始め、IV変換回路M2の出力 V_m が変化し始める。 $T=4$ の段階において初めて、 V_m と V_{ref} に期待した差電位が生じる。

【0020】当該差電位が発生すると、比較回路1は、ATD1信号のLowからHighのタイミングにおいて、VmとVrefとの比較を行い、VrefよりVmの電位が低ければLowを出力し、VrefよりVmの電位が高ければHighを出力する。図9(b)では、VrefよりVmの電位が低いので、比較回路1は、Lowを出力する。以上が、従来技術1の構成と動作である。

【0021】(従来技術2) 次に、特開平11-3599号公報に開示された半導体記憶装置について説明する。

【0022】当該半導体記憶装置は、2本のリファレンスピット線を有し、メイン側のビット線選択に同期して2本のリファレンスピット線を切り換える手段と、上記リファレンスピット線と上記ビット線の間に電源ラインによるシールドとを有している。

【0023】上記従来技術2の半導体記憶装置によれば、差動増幅手段側から見た場合のビット線とリファレンス線とで線間容量の見え方が等しくなり、周辺素子から外乱ノイズ等が入った場合でも、ビット線とリファレンス線とでは互いに同様の挙動を示すため、安定読み出しが可能となる。また、シールドを形成したことにより、ビット線とリファレンス線との間の線間容量による影響を排除することも可能である。

【0024】

【発明が解決しようとする課題】しかしながら、従来技術1の半導体記憶装置では、I/V変換回路2、3から見えるグローバルビット線4とリファレンスグローバルビット線5のインピーダンスが異なってしまうので、比較回路1が誤動作をする可能性があるという問題点があった。また、誤動作を回避しようとするメイン側の電圧Vmとリファレンス側の電圧Vrefとの比較時点を遅らせることになり、読み出しスピードの遅延化が生じてしまうという問題点が生じた。

【0025】従来技術2の半導体記憶装置では、確かに、セルアレイ内のサブビット線同士またはサブビット線とリファレンスピット線との間の線間容量による影響により、センスアンプ部に不正確な電流が流れてしまうという問題点は解消できる。しかしながら、セルアレイとセンスアンプ部との間を接続しているグローバルビット線及びリファレンスグローバルビット線のインピーダンスの違いによるセンスアンプ部における誤動作、及び読み出し動作の遅延化という問題点を解消できない。

【0026】本発明は、上記問題点を鑑みなされたものであり、I/V変換回路2、3(センスアンプ)から見えるメインセル側の入力インピーダンスとリファレンスセル側の入力インピーダンスとを同一にすることが可能な半導体記憶装置を提供することを目的とする。

【0027】

【課題を解決するための手段】かかる目的を達成するた

めに、請求項1記載の発明は、複数のセルアレイと1つのリファレンスセルアレイとを具備する半導体記憶装置であって、セルアレイから入力されるセル電流をメインセル電圧に変換する第1の電流/電圧変換手段と、リファレンスセルアレイから入力されるリファレンスセル電流をリファレンスセル電圧に変換する第2の電流/電圧変換手段と、第1の電流/電圧変換手段と複数のセルアレイとを接続するグローバルビット線と、第2の電流/電圧変換手段とリファレンスセルアレイとを接続するダミーグローバルビット線とを有し、グローバルビット線インピーダンスとダミーグローバルビット線インピーダンスとが等しいことを特徴としている。

【0028】請求項2記載の発明は、請求項1記載の発明において、ダミーグローバルビット線は、第2の電流/電圧変換手段とリファレンスセルアレイとを複数の経路で接続していることを特徴としている。

【0029】請求項3記載の発明は、請求項2記載の発明において、複数の経路の数は、セルアレイの数と等しいことを特徴としている。

【0030】請求項4記載の発明は、請求項1から3のいずれか1項に記載の発明において、グローバルビット線の配線抵抗及び配線容量とダミーグローバルビット線の配線抵抗及び配線容量は等しいことを特徴としている。

【0031】請求項5記載の発明は、請求項1から4のいずれか1項に記載の発明において、グローバルビット線の配線長及び配線幅とダミーグローバルビット線の配線長及び配線幅は等しいことを特徴としている。

【0032】請求項6記載の発明は、請求項1から5のいずれか1項に記載の発明において、グローバルビット線上に配置され、複数のセルアレイの中から任意に1つのセルアレイを選択し、該選択したセルアレイと第1の電流/電圧変換手段との間の経路を形成する第1のスイッチ手段と、ダミーグローバルビット線上に配置され、リファレンスセルアレイと第2の電流/電圧変換手段との間を接続する複数の経路から1つを選択する第2のスイッチ手段と、をさらに有することを特徴としている。

【0033】請求項7記載の発明は、請求項6記載の発明において、第1のスイッチ手段は、セルアレイの個数分と同数であり、各セルアレイに対応した位置に配置されることを特徴としている。

【0034】請求項8記載の発明は、請求項6または7記載の発明において、第2のスイッチ手段は、第1のスイッチ手段と同数であり、リファレンスセルアレイと第2の電流/電圧変換手段との間の各経路に配置され、第1のスイッチ手段によるセルアレイの選択により選択されたセルアレイと第1の電流/電圧変換手段との間に経路が形成されたとき、該経路のインピーダンスと等しいインピーダンスとなるリファレンスセルアレイと第2の電流/電圧変換手段との間の経路を選択することを特徴

としている。

【0035】請求項9記載の発明は、請求項1から8のいずれか1項に記載の発明において、第1の電流／電圧変換手段により変換されたメインセル電圧と第2の電流／電圧変換手段により変換されたリファレンスセル電圧とを比較し、論理値を出力する比較手段をさらに有することを特徴としている。

【0036】請求項10記載の発明は、請求項1から9のいずれか1項に記載の発明において、グローバルビット線のインピーダンスとダミーグローバルビット線のインピーダンスとの誤差は、所定の許容値内であることを特徴としている。

【0037】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照しながら詳細に説明する。

【0038】第1の実施の形態における半導体記憶装置の構成を図2、図3、図5、図6、図7を参照しながら説明する。図5は、本発明の不揮発性半導体記憶装置の構成を示した回路図である。当該半導体記憶装置は、比較回路1、IV変換回路M2、IV変換回路R3、複数のセルアレイ(1～N)、及び1つのリファレンスセルアレイから構成される。個々のセルアレイには、セルアレイ内の任意のセルを選択するためのROWデコーダ(1～N)9、COLUMNデコーダ10が装備されている。リファレンスセルアレイには、ROWデコーダR11、ダミーデコーダ12が装備されている。

【0039】比較回路1は、IV変換回路M2の出力 V_m とIV変換回路R3の出力 V_{ref} とATD信号1とが入力され、レベル比較回路出力を図示しない制御部に出力する。セルアレイ1～セルアレイNは、任意に1つのセルアレイを選択するためのセルアレイセレクト $NchTr1$ ～セルアレイセレクト $NchTrN$ に接続される。セルアレイセレクト $NchTr1$ ～セルアレイセレクト $NchTrN$ は、それぞれセルアレイ1選択信号～セルアレイN選択信号により制御される。セルアレイセレクト $NchTr1$ ～セルアレイセレクト $NchTrN$ のドレインは、グローバルビット線4に共通接続され、IV変換回路M2に出力される。

【0040】リファレンスセルアレイセレクト $NchTr1$ ～リファレンスセルアレイセレクト $NchTrN$ のソースとドレインは、ダミーグローバルビット線6に共通接続される。リファレンスセルアレイセレクト $NchTr1$ ～リファレンスセルアレイセレクト $NchTrN$ のゲートは、リファレンスセルアレイ選択信号1～リファレンスセルアレイ選択信号Nにより制御される。リファレンスセルアレイセレクト $NchTr1$ ～リファレンスセルアレイセレクト $NchTrN$ のドレインは、ダミーグローバルビット線6に共通接続され、IV変換回路R3に出力される。

【0041】図3は、セルアレイの構成を示した回路図

である。セルアレイ内の複数のセルは、マトリクス状に配置されている。それぞれのサブビット線7は、列方向にメモリセルドレインに共通接続されている。ワード線は、行方向にメモリセルゲートに共通接続されている。

【0042】ROWデコーダ9は、複数のワード線に接続され、任意のワード線を選択する。COLUMNデコーダ10は、複数のサブビット線7に接続され、1つの任意のサブビット線7をノード100に接続する。リファレンスセルドレインは、リファレンスセルアレイ内のリファレンスサブビット線8に接続される。ROWデコーダR11の出力は、リファレンスセルゲートに接続される。

【0043】また、リファレンスサブビット線8には、メインセル側のサブビット線7に接続されるメモリセルの個数分のダミーセルが接続される。ダミーデコーダ12は、リファレンスサブビット線8に接続され、リファレンスサブビット線8は、ダミーデコーダ12を介してノード200に接続される。

【0044】図2は、IV変換回路2、3の構成を示した回路図である。IV変換回路2、3は、 $NchTr1$ ～ $NchTr5$ とNOR回路により構成される。 $NchTr1$ のドレインとゲートは電源に接続され、ソース(メイン線)は、 $NchTr2$ のドレインに接続される。 $NchTr2$ のソースは、グローバルビット線4(IV変換回路R3では、ダミーグローバルビット線6)に接続され、 $NchTr2$ のゲートは、グローバルビット線4(IV変換回路R3では、ダミーグローバルビット線6)とATD2信号とが入力されるNOR回路の出力が入力される。

【0045】また、 $NchTr3$ のドレインとゲートは電源に接続され、 $NchTr3$ のソースは、 $NchTr4$ のドレインに接続される。 $NchTr4$ のゲートは、PRE信号により制御される。 $NchTr4$ のソースは、 $NchTr5$ のドレインに接続される。 $NchTr5$ のソースは、グローバルビット線4(IV変換回路R3では、ダミーグローバルビット線6)に接続され、 $NchTr5$ のゲートには、NOR回路の出力が入力される。

【0046】図6(a)は、IV変換回路M2からセルアレイセレクト $NchTr1$ とセルアレイセレクト $NchTrN$ までの配線抵抗、容量関係を示した図である。図6(a)によれば、IV変換回路M2からノード300までのインピーダンスを Z_1 、ノード300からセルアレイセレクト $NchTr1$ までのインピーダンスを Z_2 、ノード300からセルアレイセレクト $NchTrN$ までのインピーダンスを Z_{g1} と Z_3 に分割して図示してある。

【0047】図6(b)は、IV変換回路R3からリファレンスセルアレイセレクト $NchTr1$ とリファレンスセルアレイセレクト $NchTrN$ までの配線抵抗、容

10

20

30

40

50

量関係を示した図である。図6(b)によれば、IV変換回路R3からノード400までのインピーダンスをZ1、ノード400からリファレンスセルアレイセレクトNchTr1までのインピーダンスをZ2、ノード400からセルアレイセレクトNchTrNまでのインピーダンスをZg1RとZ3に分割して図示してある。

【0048】図7は、図6のZg1とZg1Rの構成を示した図である。Zg1は、配線抵抗と配線容量によって生じるインピーダンスであり、グローバルビット線4の配線長と配線幅によって決まる（配線抵抗＝抵抗係数×配線長÷配線幅、配線容量＝容量係数×配線長×配線幅）。Zg1Rは、配線抵抗と配線容量によって生じるインピーダンスであり、ダミーグローバルビット線6の配線長と配線幅によって決まる（配線抵抗＝抵抗係数×配線長÷配線幅、配線容量＝容量係数×配線長×配線幅）。

【0049】第2の実施の形態について、図8を参照しながら説明する。メイン側とリファレンス側のインピーダンスを同一にするため、グローバルビット線4とダミーグローバルビット線6を図8のように構成する。Zg1とZg1Rを揃える手段が第1の実施の形態と異なる。Zg1は、図示するように配線容量と配線抵抗で構成される。Zg1Rは、メイン側と抵抗、容量を揃えるために、本実施の形態においては、配線抵抗、容量とTrのゲート容量を用いる。他の構成は、第1の実施の形態と同一である。

【0050】次に、第1及び第2の実施の形態における半導体記憶装置のデータの読み出し動作について説明する。図9(c)、(d)は、読み出し動作時における各経路の電流、電圧の波形を示すタイミングチャートである。T=0の状態において、セルアレイ1内のセルの読み出しを行う場合、セルアレイ1選択信号とリファレンスセルアレイ選択信号1はHighレベルになり、ノード100とノード300（グローバルビット線4）、ノード200とノード400（ダミーグローバルビット線6）は接続される。

【0051】セルアレイN選択信号とリファレンスセルアレイ選択信号NはLowレベルとなり、ノード101とグローバルビット線4はオープン状態となる。セルアレイ1のROWデコーダ(1)9は、任意のワード線を選択する。任意のサブビット線7は、COLUMNデコーダ10を介してノード100に接続される。ROWデコーダR11は、任意のワード線をリファレンスセルアレイ内のリファレンスセルゲートに接続する。リファレンスサブビット線8は、ダミーデコーダ12を介してノード200に接続される。

【0052】また、T=0の状態において、ATD信号2がHighからLow、PRE信号がLowからHighへ変化すると、IV変換回路M2とIV変換回路R3はアクティブとなり、セルの読み出し動作が開始され

る。グローバルビット線4、セルアレイ1のサブビット線7、ダミーグローバルビット線6及びリファレンスセルアレイのリファレンスサブビット線8は、チャージアップされる。

【0053】図2を参照しながら説明すると、ATD信号2がLowになることにより、NOR回路の出力はHighとなり、NchTr1を介してグローバルビット線4（IV変換回路R3では、ダミーグローバルビット線6）は電源に接続される。また、PRE信号がHighになることにより、NchTr3、4、5を介してグローバルビット線4（IV変換回路R3では、ダミーグローバルビット線6）は電源に接続される。IV変換回路2、3内のPrecharge回路は、各ビット線のチャージアップを補うために装備されている。

【0054】ノード300（グローバルビット線4）、ノード400（ダミーグローバルビット線6）が電源に接続されることにより、ノード300、ノード400の電位は上昇する。その電位がIV変換回路2、3内のNOR回路のスレッシュホールド電圧に達すると、NOR回路の出力がLowとなり、IV変換回路2、3内のNchTr2、5はOFFする。この状態は、グローバルビット線4、サブビット線7、ダミーグローバルビット線6及びリファレンスサブビット線8が十分にチャージアップされた状態である。

【0055】図9(c)は、各経路の電流波形を示したタイミングチャートである。グローバルビット線4に流れる電流IgsNとサブビット線7に流れる電流Igs1(=Is1)は、T=0からグローバルビット線4の容量とサブビット線7の容量の充電を開始し、T=1のタイミングで充電を完了する。充電が完了すると、グローバルビット線4に流れる電流IgsNは0[A]になる。サブビット線7に流れる電流Igs1は、セルアレイ内で選択されているセル電流である。IV変換回路M2に輸入される電流Imは、下記の式で求められる。

【0056】電流Im=IgsN+Igs1

【0057】リファレンス部も同様にダミーグローバルビット線6に流れる電流IgrNとリファレンスサブビット線8に流れる電流Igr1は、T=0からダミーグローバルビット線6の容量とリファレンスサブビット線8の容量の充電を開始し、T=1のタイミングで充電を完了する。充電が完了すると、ダミーグローバルビット線6に流れる電流IgrNは0[A]になる。リファレンスサブビット線8に流れる電流Igr1は、セルアレイ内で選択されているセル電流である。IV変換回路R3に輸入される電流Irefは、下記の式で求められる。

【0058】電流Iref=IgrN+Igr1

【0059】各充電電流は、IV変換回路2、3から見えるインピーダンスによって変化するが、メイン側とリファレンス側のインピーダンスを同じにすれば、電流I

mと電流 I_{ref} はほぼ同一となる。メイン側とリファレンス側のインピーダンスを同一にするため、グローバルビット線4とダミーグローバルビット線6を図6のように構成し、 Z_{g1} と Z_{g1R} を揃える必要がある。グローバルビット線インピーダンス Z_{g1} は、図7に示すように配線容量と配線抵抗で構成される。メイン側とリファレンス側のインピーダンスを同一にするために、ダミーグローバルインピーダンス Z_{g1R} も、メイン側と同等の配線構成(配線長、配線幅)とする。

【0060】 $T=1$ の状態になると、PRE信号2がHighからLowへ変化し、IV変換回路2、3内のPrecharge回路は動作を停止する。図2を参照しながら説明すると、PRE信号2がLowになると、IV変換回路2、3内のNchTr4はOFFする。NchTr4がOFFすると、IV変換回路2、3内のPrecharge回路のグローバルビット線4(IV変換回路R3では、ダミーグローバルビット線6)と電源はOPEN状態になる。

【0061】 $T=1$ の状態においては、ノード300(グローバルビット線4)とノード400(ダミーグローバルビット線6)は、十分に充電されている。 $T=1 \sim T=2$ の間に、メインセル側は、選択されたセルのセル電流を I_m に伝える必要がある。グローバルビット線4に溜まった電荷が I_{gs1} へ流れ込むため、見かけ上は、 I_m の電流は0[A]になる。

【0062】リファレンス側も同様に、リファレンスセル電流を I_{ref} に伝える必要がある。ダミーグローバルビット線6に溜まった電荷が I_{gr1} へ流れ込むため、見かけ上は、 I_{ref} の電流は0[A]になる。

【0063】 $T=2 \sim T=3$ の間は、実際にセルアレイ1で選択されたセルのセル電流、リファレンスセルアレイ内のリファレンスセル電流が流れ始め、IV変換回路M2、IV変換回路R3の出力 V_m 、 V_{ref} に期待された差電位が発生する。

【0064】差電位が発生すると、比較回路1は、ATD1信号のLowからHighへのタイミングにおいて、 V_{ref} と V_m とを比較し、 V_{ref} より V_m の電位が低ければ、Lowを出力し、 V_{ref} より V_m の電位が高ければ、Highを出力する。図9(d)によれば、 V_{ref} より V_m の電位が低いので、比較回路1は、Lowを出力する。 V_{ref} と V_m との比較は、両電位の相対的關係において決定されるものであるから、両電位の關係が決定された時点から、比較回路1は比較を行い、該比較結果を出力することが可能なのである。

【0065】図9(b)における従来技術1と比較すると、 V_{ref} と V_m との比較時点が Δt 分早くなり、読み出しスピードの高速化を図ることができる。

【0066】

【発明の効果】以上の説明から明らかなように、本発明による半導体記憶装置によれば、IV変換回路2、3から見えるメインセル側の入力インピーダンスとリファレンスセル側の入力インピーダンスとを同一にすることにより、セルデータの読み出しスピードを高速化することができる。

【0067】また、IV変換回路2、3から見えるメインセル側の入力インピーダンスとリファレンスセル側の入力インピーダンスとを同一にすることにより、時系列にしたがって、 V_m と V_{ref} とが、相対的關係においてある一定の差が生じてからは、反転することなく変化することにより、比較回路1が誤動作を起こす可能性を低減し、安定読み出しを確保することができる。

【図面の簡単な説明】

【図1】従来技術における半導体記憶装置の構成を示す回路図である。

【図2】IV変換回路2、3の構成を示す回路図である。

【図3】セルアレイ及びリファレンスセルアレイを示した回路図である。

【図4】従来技術における読み出し系配線のインピーダンスを説明するための回路図である。

【図5】本発明の実施の形態における半導体記憶装置の構成を示す回路図である。

【図6】本発明の実施の形態における読み出し系配線のインピーダンスを説明するための回路図である。

【図7】第1の実施の形態におけるグローバルビット線4のインピーダンス等価回路である。

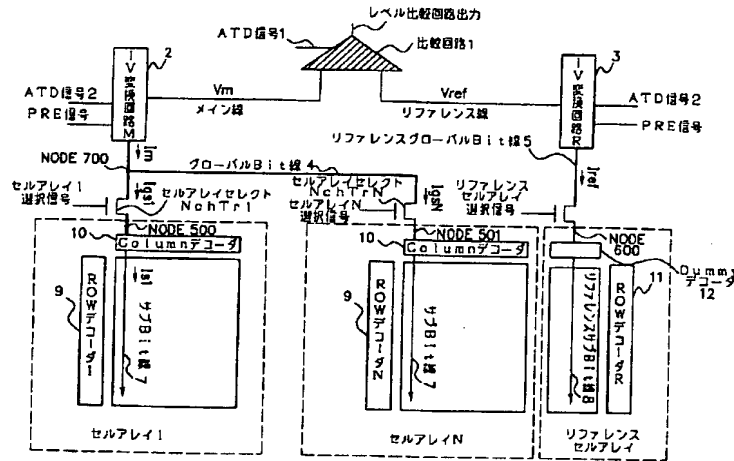
【図8】第2の実施の形態におけるグローバルビット線4のインピーダンス等価回路である。

【図9】従来技術及び本発明の実施の形態における読み出し動作時のタイミングチャートである。

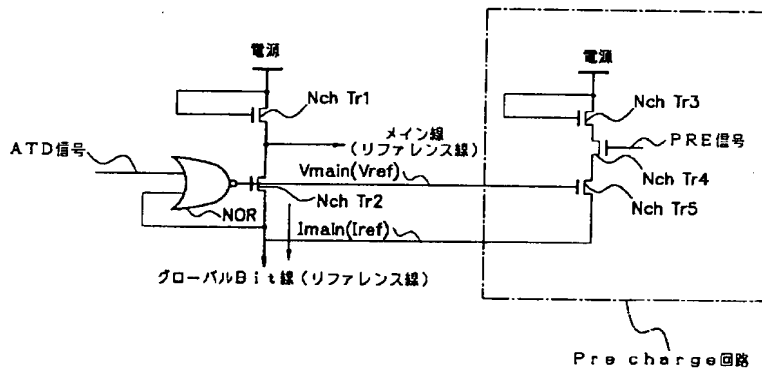
【符号の説明】

- 1 比較回路
- 2 IV変換回路M
- 3 IV変換回路R
- 4 グローバルビット線
- 5 リファレンスグローバルビット線
- 6 ダミーグローバルビット線
- 7 サブビット線
- 8 リファレンスサブビット線
- 9 ROWデコーダ
- 10 COLUMNデコーダ
- 11 ROWデコーダR
- 12 ダミーデコーダ

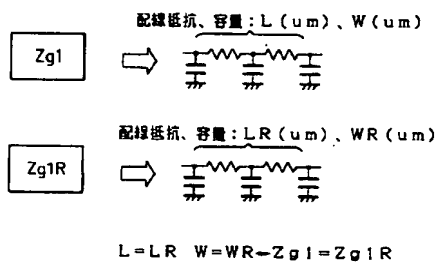
【図1】



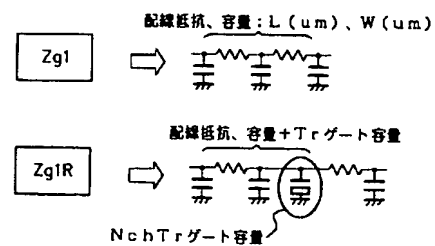
【図2】



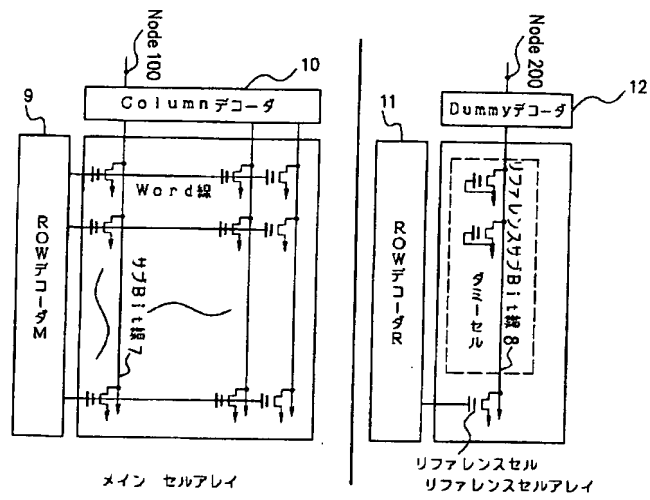
【図7】



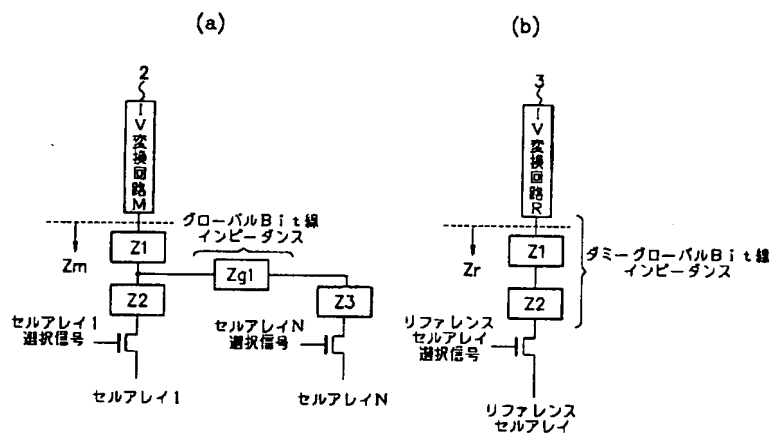
【図8】



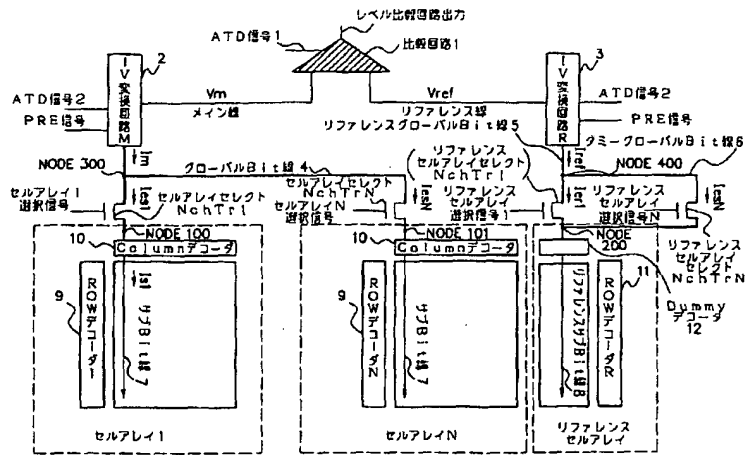
【図3】



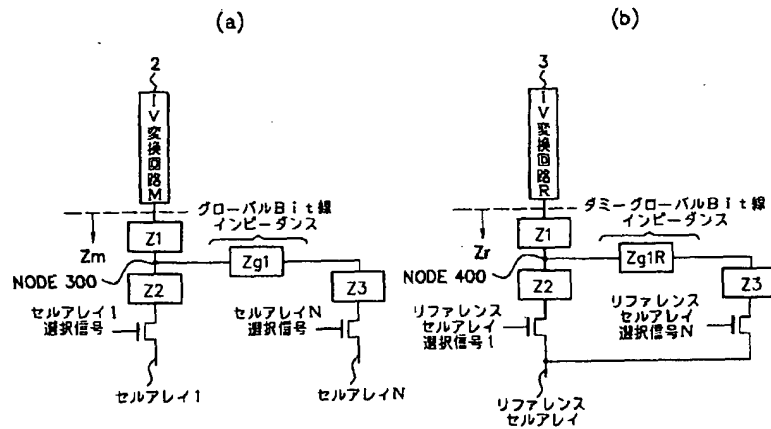
【図4】



【図5】



【図6】



【図9】

